

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-166812

(43) 公開日 平成5年(1993)7月2日

(51) Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/321				
21/60	3 1 1 Q	6918-4M		
		9168-4M	H 0 1 L 21/92	C

審査請求 未請求 請求項の数1(全 5 頁)

(21) 出願番号 特願平3-351102

(22) 出願日 平成3年(1991)12月11日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 高儀 光治

東京都品川区北品川6丁目7番35号 ソニー株式会社内

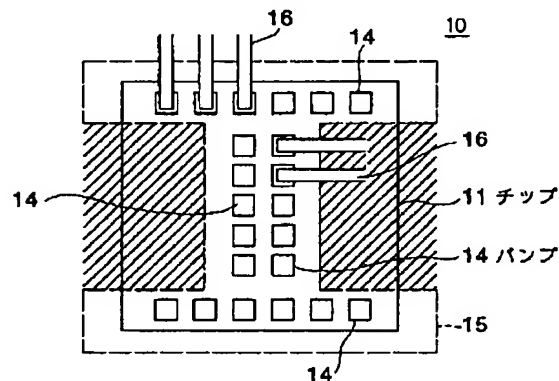
(74) 代理人 弁理士 船橋 国則

(54) 【発明の名称】 半導体素子

(57) 【要約】

【目的】 キャリアテープに対してより高密度に実装することが可能な半導体素子を提供する。

【構成】 チップ11の周縁部に配設される複数の電極パッドと、その電極パッドに接する状態で被着される多層金属膜と、その多層金属膜上に形成されるパンプ14とを有する半導体素子であって、多層金属膜はチップ11の周縁部から中心側に向けて延設され、且つその多層金属膜の延出端にパンプ14が形成されている。



本発明の実施例を示す平面図

1

## 【特許請求の範囲】

【請求項1】 チップの周縁部に配設される複数の電極パッドと、その電極パッドに接する状態で被着される多層金属膜と、その多層金属膜上に形成されるパンプとを有する半導体素子において、前記多層金属膜は前記チップの周縁部から中心側に向けて延設され、且つその多層金属膜の延出端に前記パンプが形成されたことを特徴とする半導体素子。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体素子の構造に関するものである。

【0002】

【従来の技術】半導体実装技術の中には、金属（Au、Al）製の極細線、いわゆるボンディングワイヤを用いて電極間を1本ずつ接合するワイヤボンディング技術と、ボンディングワイヤを用いず且つ電極数やリード数とは無関係に、一括して電極間の接合を行うワイヤレスボンディング技術とがある。そして、ワイヤレスボンディング技術の代表的なものとしては、TAB（Tape Automated Bonding）方式が挙げられる。

【0003】図6は、上述のTAB方式により実装される半導体素子の従来例を示しており、図においては、チップ31の周縁部に配設された複数の電極パッド（後述）と、フィルムキャリアテープ（以下、キャリアテープと称す）のデバイスホール32内に突設されたインナリード33とが、パンプ34を介して電氣的に接続されている。ここで、キャリアテープは、ポリイミドフィルムやポリエステルフィルム等からなるリール状の樹脂テープであり、その両側縁にはテープ搬送用のスプロケット孔が設けられている。

【0004】一方、図7は、従来の半導体素子の要部を示す側断面図であり、図中の半導体素子30においては、能動領域35の周辺、すなわちチップ31の周縁部に、上述した電極パッド36が配設されている。また、チップ31上にはオーバコート膜37がエッチングにより形成されている。更に、電極パッド36の真上には多層金属膜38を介してパンプ34が形成されている。ここで多層金属膜38は、いわゆるバリアメタルと呼ばれるものであり、Au/Ni/Ti或いはAu/Cu/Crなどから組成され、チップ31上に被着されている。その中で、Ni、CrはAu拡散防止の役目を果たしており、多層金属膜38としては、パンプ34を形成する際のメッキ電極の役目を果たす。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来の半導体素子30においては、チップ31周縁部に配設された電極パッド36の真上にパンプ34が形成されているため、電極パッド36の数が増えるに従ってチップ

2

ブ面積が大きくなり、それに対応してデバイスホール32も拡大されるので、キャリアテープ上の部品レイアウトの自由度が減少したり、キャリアテープに対する半導体素子の実装密度が低下するなどの問題が生じる。

【0006】本発明は上記問題を解決するためになされたもので、キャリアテープに対してより高密度に実装することが可能な半導体素子を提供することを目的とする。

【0007】

10 【課題を解決するための手段】本発明は、上記目的を達成するためになされたもので、チップの周縁部に配設される複数の電極パッドと、その電極パッドに接する状態で被着される多層金属膜と、その多層金属膜上に形成されるパンプとを有するものであって、上記多層金属膜はチップの周縁部から中心側に向けて延設され、且つその多層金属膜の延出端にパンプが形成された半導体素子である。

【0008】

20 【作用】本発明の半導体素子においては、チップの周縁部から中心側に向けて延設された多層金属膜の延出端にパンプが形成されているので、多層金属膜を延出させた分だけキャリアテープのデバイスホールが縮小され、もって、キャリアテープのパターン領域が拡大される。

【0009】

30 【実施例】図1は本発明の実施例を示す平面図であり、図2はその要部を示す側断面図である。まず、本実施例の半導体素子10の構成においては、チップ11の周縁部に複数の電極パッド12が配設されており、更にチップ11上には各々の電極パッド12に接する状態で多層金属膜13が被着されている。また、個々の多層金属膜13上にはAuを素材としたパンプ14が形成されており、このパンプ14は、上述の電極パッド12とキャリアテープのデバイスホール15内に突設されたインナリード16とを電氣的に接続させるためのものである。加えて、本実施例の半導体素子10においては、例えば左右端の電極パッド12に接する多層金属膜13が、チップ11の周縁部から中心側に向けて延設され、その延出端13aにパンプ14が形成されている。これにより、左右端の電極パッド12に対応するパンプ14は、半導体素子10の能動領域17上、すなわちチップ11の中心寄りに配置される。

40 【0010】ここで、本実施例におけるパンプ形成の製造工程を、図3及び図4を用いて説明する。まず、第1の工程（図3上段）では、オーバコート膜18が形成されたチップ11上に、スパッタ蒸着等により多層金属膜（バリアメタル）13を被着する。次いで、第2の工程（図3中段）では、先に被着させた多層金属膜13上に厚さ20μm程度のフォトレジスト膜19を形成するとともに、チップ11の周縁部から所定寸法離れた位置に  
50 パンプ形成用の孔20を形成する。続いて、第3の工程

4

右方向のチップ幅を合計160  $\mu\text{m}$ 程度小さくすることが可能となる。

【0014】尚、本実施例の説明では、多層金属膜13の延出端13aに形成されるパンプ14をチップ11の中心寄りに配置するとしたが、本発明はこれに限るものではない。すなわち、本発明においては、パンプ形成の製造工程にてパンプ形成位置を自由に設定することができるため、パンプの配置を、例えばチップの上寄りや下寄り、或いは左寄りや右寄りに設定することも可能である。

【発明の効果】以上、説明したように本発明によれば、チップの周縁部から中心側に向けて延設された多層金属膜の延出端にバンパが形成されているので、多層金属膜を延出させた分だけキャリアテープのパターン領域が拡大される。これにより、キャリアテープ上の部品レイアウトの自由度が増すとともに、キャリアテープに対する半導体素子の実装密度が高められる。

【0016】また、本発明においては、多層金属膜の延出端にパンプを形成することで、それに対応する電極パッドの大きさを小さくすることができる。その結果、従来よりもチップ面積を小さくすることが可能となり、もって半導体素子としての小型、軽量化が図られる。

【図1】本発明の実施例を示す平面図である。

【図3】製造工程の説明図（その1）である。

【図5】電極パッドの大きさの比較図である。

【図 7】従来例の要部を示す側断面図である。

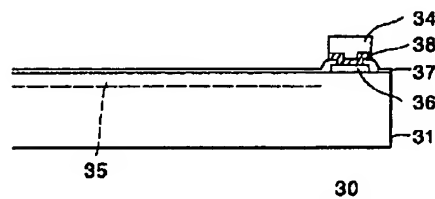
## 10 半导体素子

## 12 電極パッド

## 14 バンプ

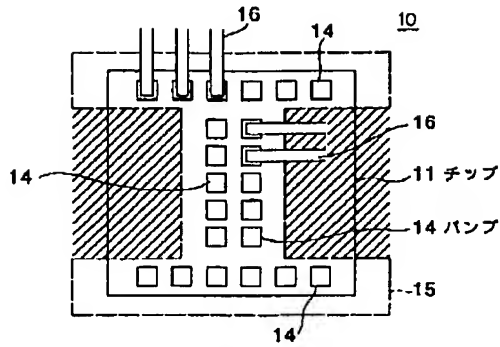
【图 7】

【图7】



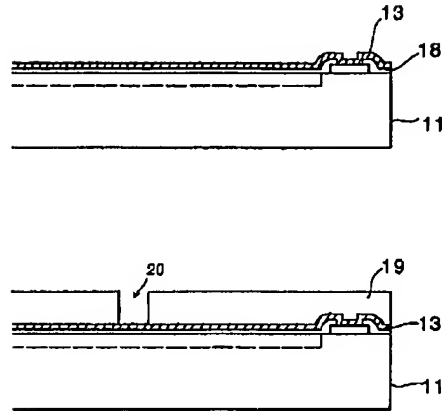
従来例の要部を示す側断面図

【図1】

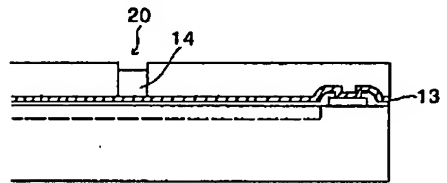
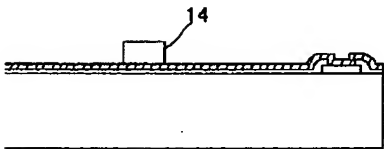


本発明の実施例を示す平面図

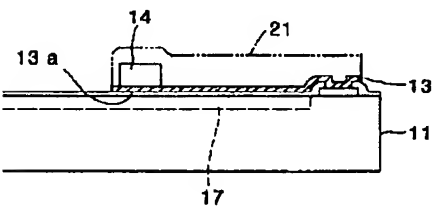
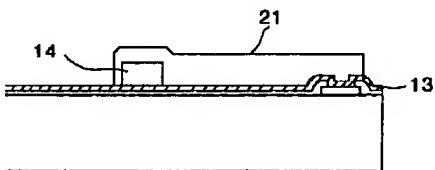
【図3】



【図4】

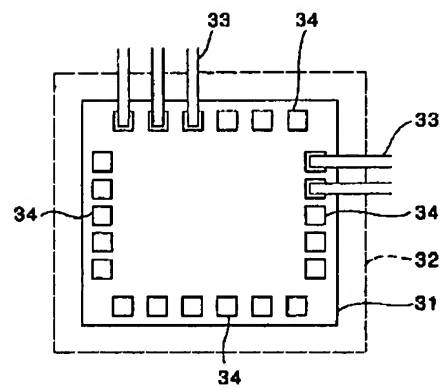


製造工程の説明図（その1）



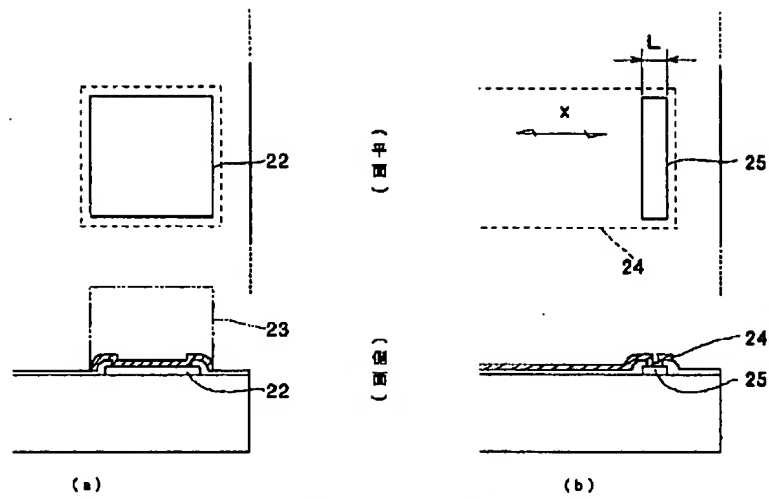
製造工程の説明図（その2）

【図6】



従来例を示す平面図

【図5】



電極パッドの大きさの比較図